Санкт-Петербургский Политехнический Университет Петра Великого

Институт Компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

Лабораторная работа 7

Предмет: Проектирование реконфигурируемых гибридных вычислительных систем

Тема: Конвейеризация вычислений

Задание 2

Студенты: Соболь В.

Темнова А. С.

Гр. № 3540901/81502

Преподаватель: Антонов А.П.

Санкт-Петербург

2019

Оглавление

[1. Задание 4](#_Toc26444930)

[2. Скрипт для выполнения работы 6](#_Toc26444931)

[3. Первое решение 6](#_Toc26444932)

[3.1. Моделирование 6](#_Toc26444933)

[3.2. Синтез 7](#_Toc26444934)

[3.3. C|RTL моделирование 8](#_Toc26444935)

[3.4. Директивы 9](#_Toc26444936)

[4. Второе решение 9](#_Toc26444937)

[4.1. Моделирование 9](#_Toc26444938)

[4.2. Синтез 10](#_Toc26444939)

[4.3. C|RTL моделирование 12](#_Toc26444940)

[4.4. Директивы 12](#_Toc26444941)

[5. Третье решение 13](#_Toc26444942)

[5.1. Моделирование 13](#_Toc26444943)

[5.2. Синтез 13](#_Toc26444944)

[5.3. C|RTL моделирование 15](#_Toc26444945)

[5.4. Директивы 16](#_Toc26444946)

[6. Четвёртое решение 16](#_Toc26444947)

[6.1. Моделирование 16](#_Toc26444948)

[6.2. Синтез 16](#_Toc26444949)

[6.3. C|RTL моделирование 18](#_Toc26444950)

[6.4. Директивы 19](#_Toc26444951)

[7. Выводы 19](#_Toc26444952)

1. Задание

* Создать проект lab7\_2
* Микросхема: xa7a12tcsg325-1q
* Создать функцию на основе приведенных ниже слайдов.



* Создать тест lab7\_2\_test.c для проверки функций выше.
  + осуществить моделирование (с выводом результатов в консоль)
* Сделать свой solution (для каждого варианта задания директивы и для варианта без директивы)
  + задать: clock period 10; clock\_uncertainty 0.1
  + осуществить синтез
    - привести в отчете:
      * performance estimates=>summary
      * utilization estimates=>summary
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Осуществить C|RTL моделирование (для каждого варианта задания директивы)
    - Привести результаты из консоли
    - Открыть временную диаграмму (все сигналы)
      * Отобразить два цикла обработки на одном экране
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
* Выводы
  + Привести обобщенную таблицу зависимости utilization и performance от каждого варианта задания директивы и для варианта без директивы.

Объяснить отличие процедур обращения к элементам массива для каждого случая

Исходные файлы с кодом устройства и теста приведены ниже.

Исходный код:

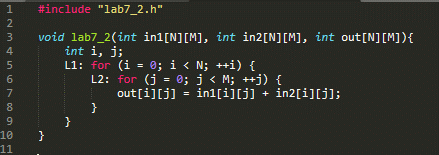


Рис. 1.1. Исходный код

Код теста:

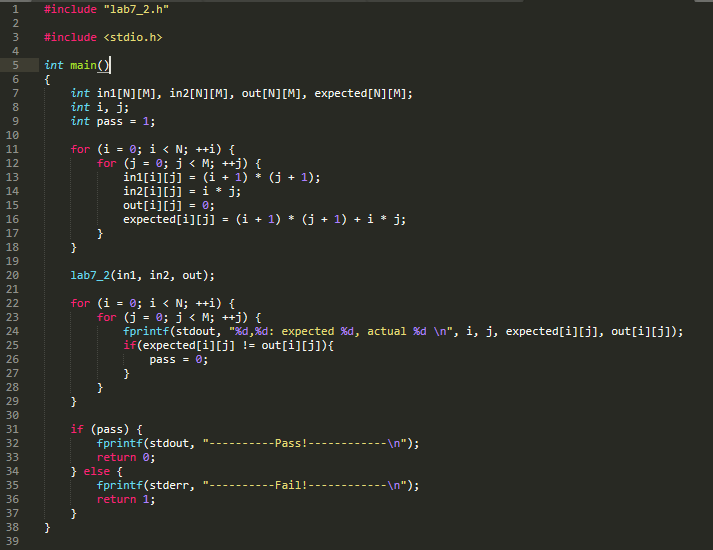


Рис. 1.2. Код теста

1. Скрипт для выполнения работы

Ниже приведён скрипт, который был написан для автоматизации выполнения работы.

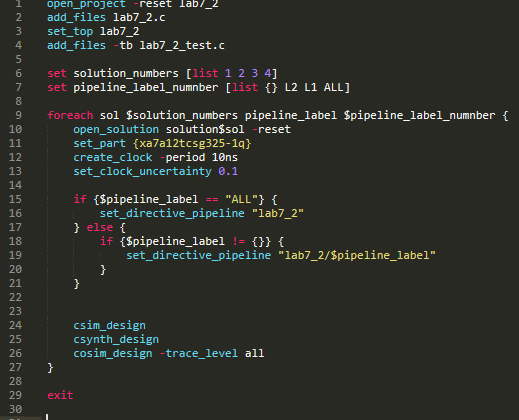


Рис 2.1. Скрипт выполнения работы

1. Первое решение
   1. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

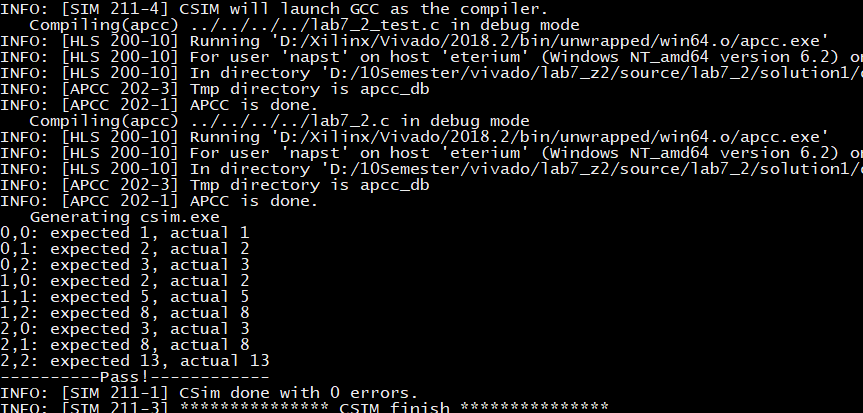


Рис 3.1. Результаты моделирования

* 1. Синтез

Ниже приведены оценки производительности. По ним видно, что оценочное время выполнения одного такта 7нс, а latency составляет 25 тактов.

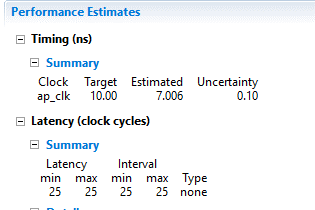


Рис. 3.2. Оценка производительности

Оценка использования ресурсов показывает, что будут использованы 150 LUT и 81 триггер.

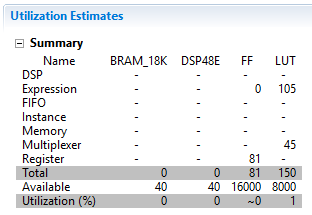


Рис. 3.3. Оценка использования ресурсов

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

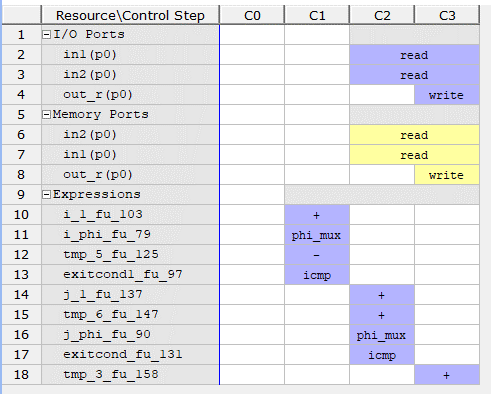


Рис. 3.4. Использование ресурсов

Ниже приведён результат работы планировщика вычислений.

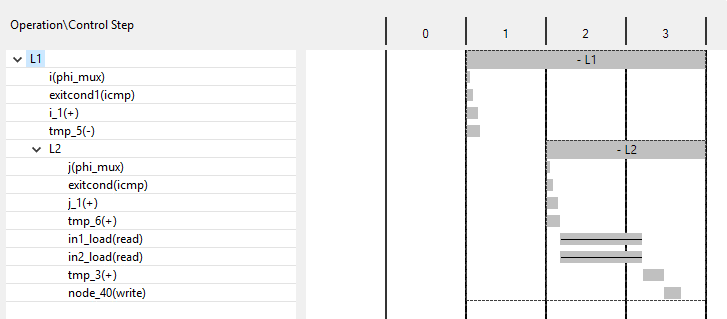


Рис. 3.5. Планировщик вычислений

* 1. C|RTL моделирование

Результат C|RTL моделирования приведён ниже. По нему видно, что latency составляет 25 тактов, а II – 26 тактов.

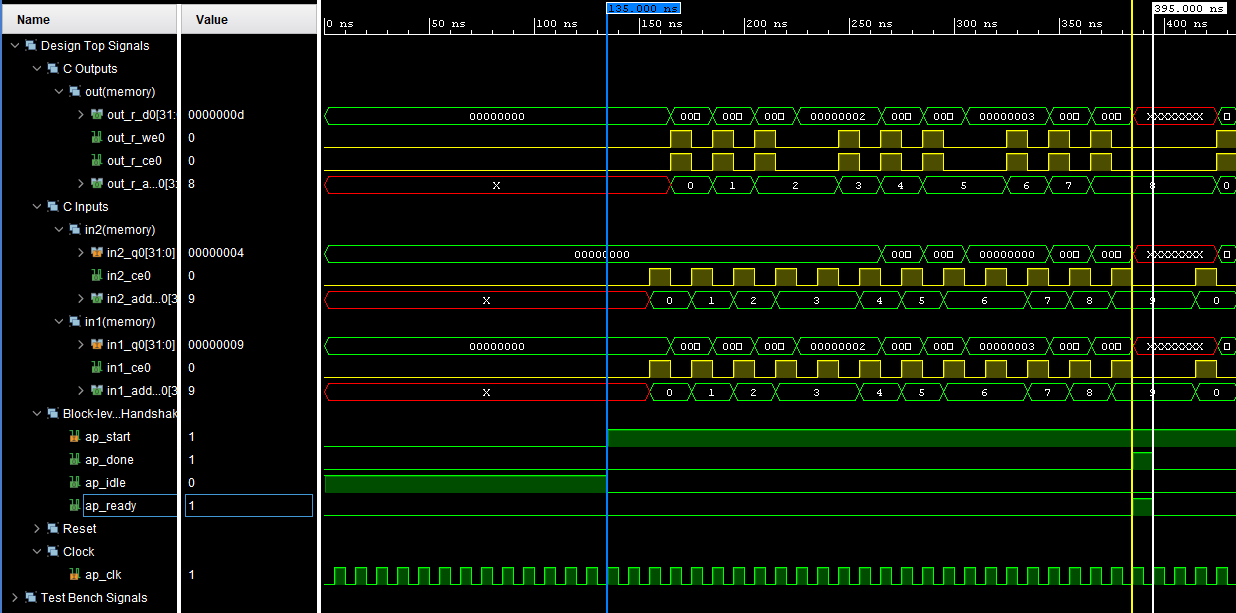


Рис. 3.6. Результат моделирования

На графике выше, latency определяется расстоянием между синим и жёлтым маркером, а II определяется расстоянием между синим и белым маркером.

* 1. Директивы

Ниже показаны применённые директивы.

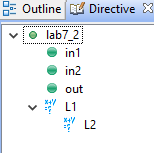


Рис. 3.7. Директивы

Как видно по рисунку, никаких директив не применено.

1. Второе решение
   1. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

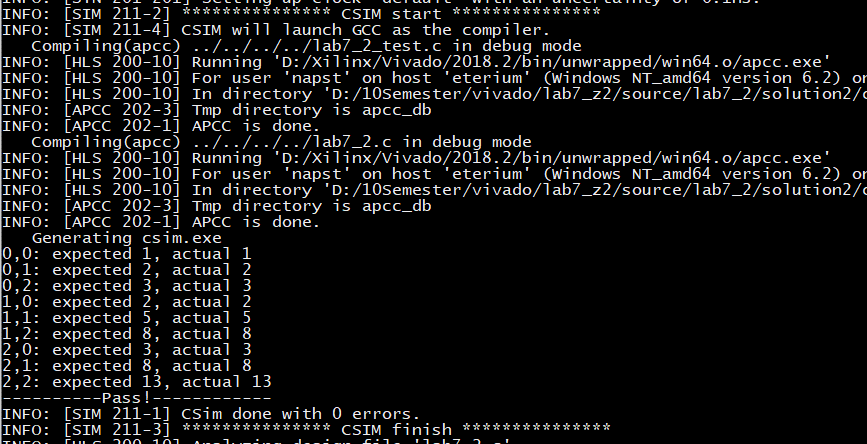


Рис 4.1. Результаты моделирования

* 1. Синтез

Ниже приведены оценки производительности. По ним видно, что оценочное время выполнения одного такта 8.3нс, а latency составляет 11 тактов.

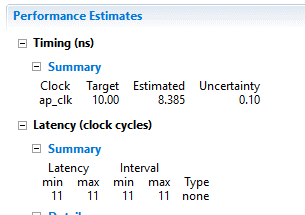


Рис. 4.2. Оценка производительности

Оценка использования ресурсов показывает, что будут использованы 197 LUT и 80 триггеров.

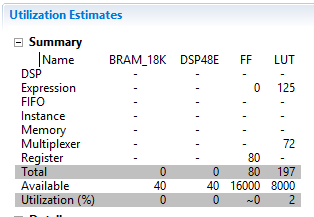


Рис. 4.3. Оценка использования ресурсов

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

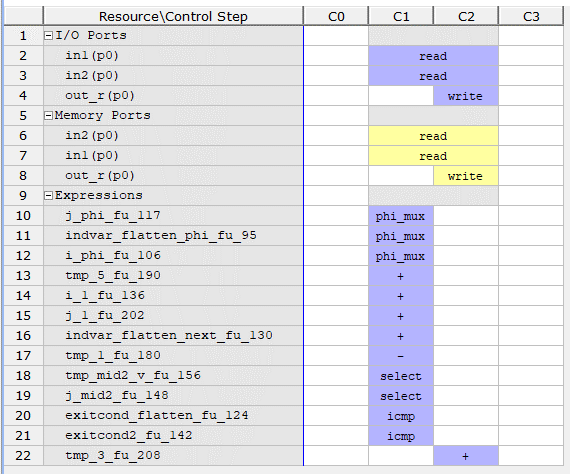


Рис. 4.4. Использование ресурсов

Ниже приведён результат работы планировщика вычислений.

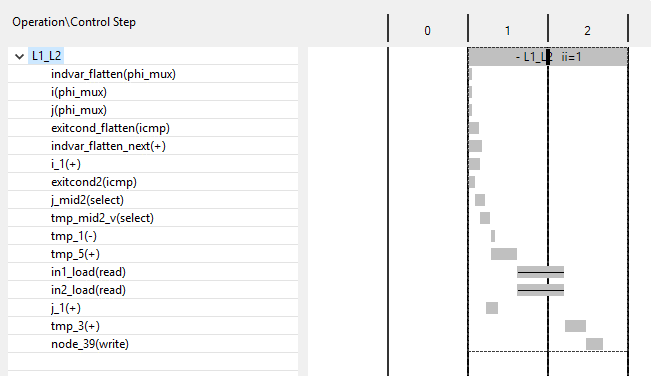


Рис. 4.5. Планировщик вычислений

* 1. C|RTL моделирование

Результат C|RTL моделирования приведён ниже. По нему видно, что latency составляет 11 тактов, а II – 12 тактов.

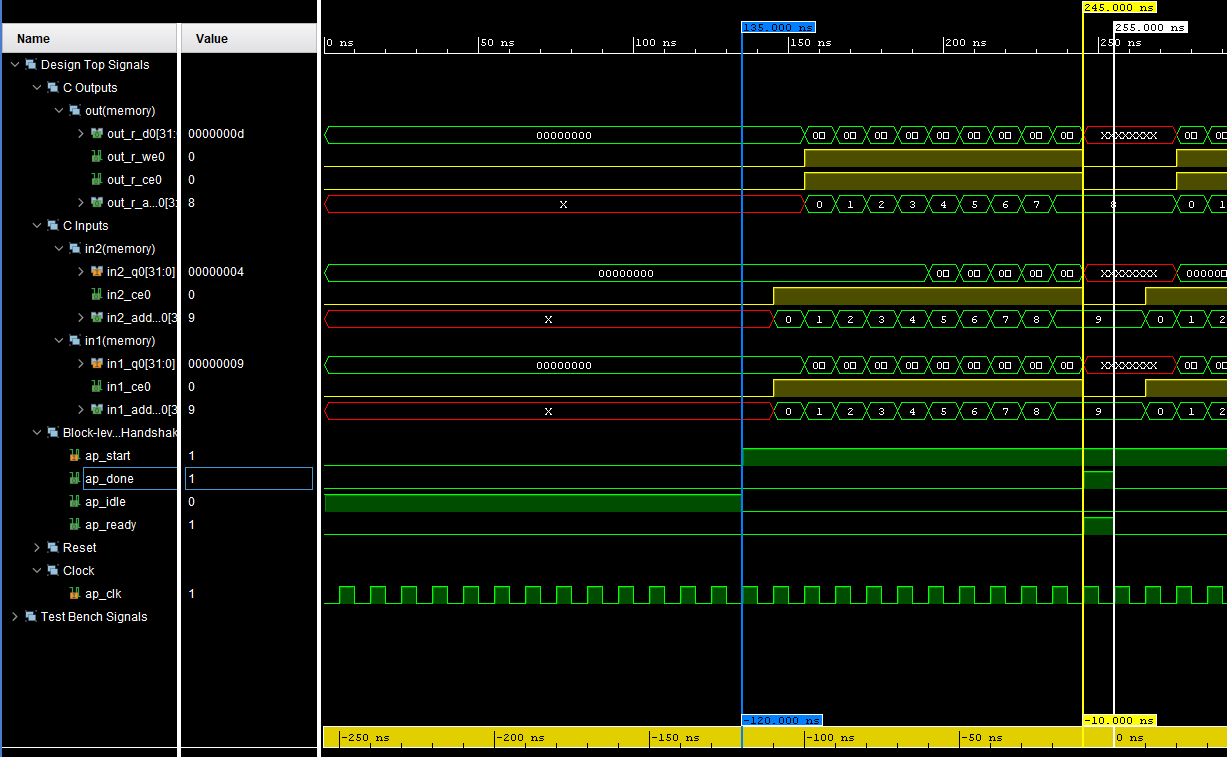


Рис. 4.6. Результат моделирования

На графике выше, latency определяется расстоянием между синим и жёлтым маркером, а II определяется расстоянием между синим и белым маркером.

* 1. Директивы

Ниже показаны применённые директивы.

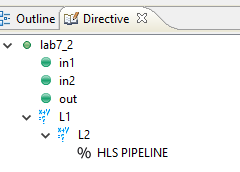


Рис. 4.7. Директивы

Как видно по рисунку, применена директива конвейеризации внутреннего цикла.

1. Третье решение
   1. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

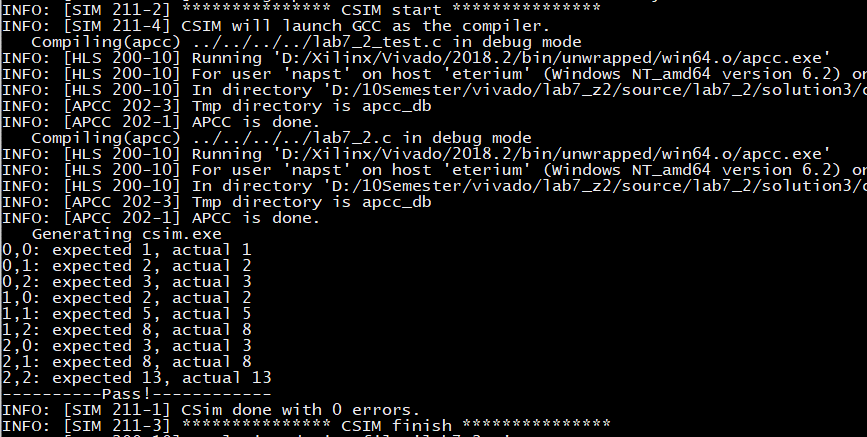


Рис 5.1. Результаты моделирования

* 1. Синтез

Ниже приведены оценки производительности. По ним видно, что оценочное время выполнения одного такта 7нс, а latency составляет 8 тактов.

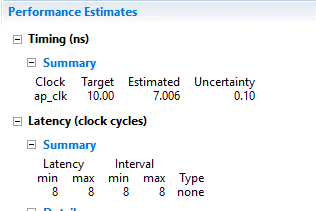


Рис. 5.2. Оценка производительности

Оценка использования ресурсов показывает, что будут использованы 262 LUT и 208 триггеров.

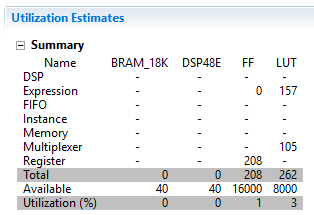


Рис. 5.3. Оценка использования ресурсов

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

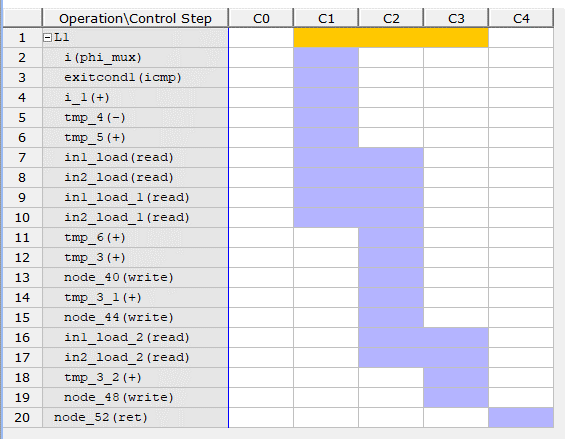


Рис. 5.4. Использование ресурсов

Ниже приведён результат работы планировщика вычислений.

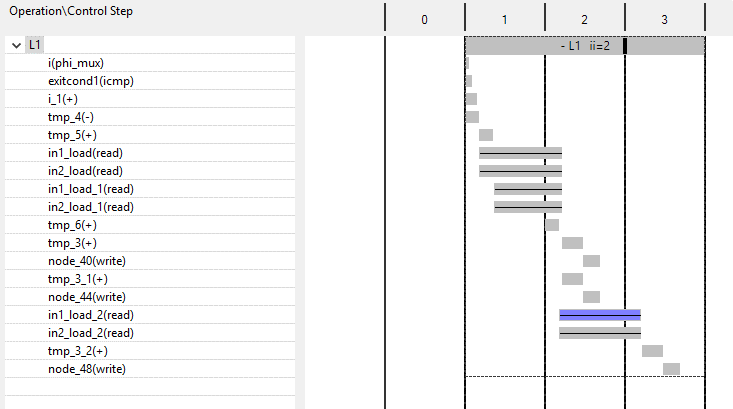


Рис. 5.5. Планировщик вычислений

* 1. C|RTL моделирование

Результат C|RTL моделирования приведён ниже. По нему видно, что latency составляет 3 такта, а II – 4 такта.

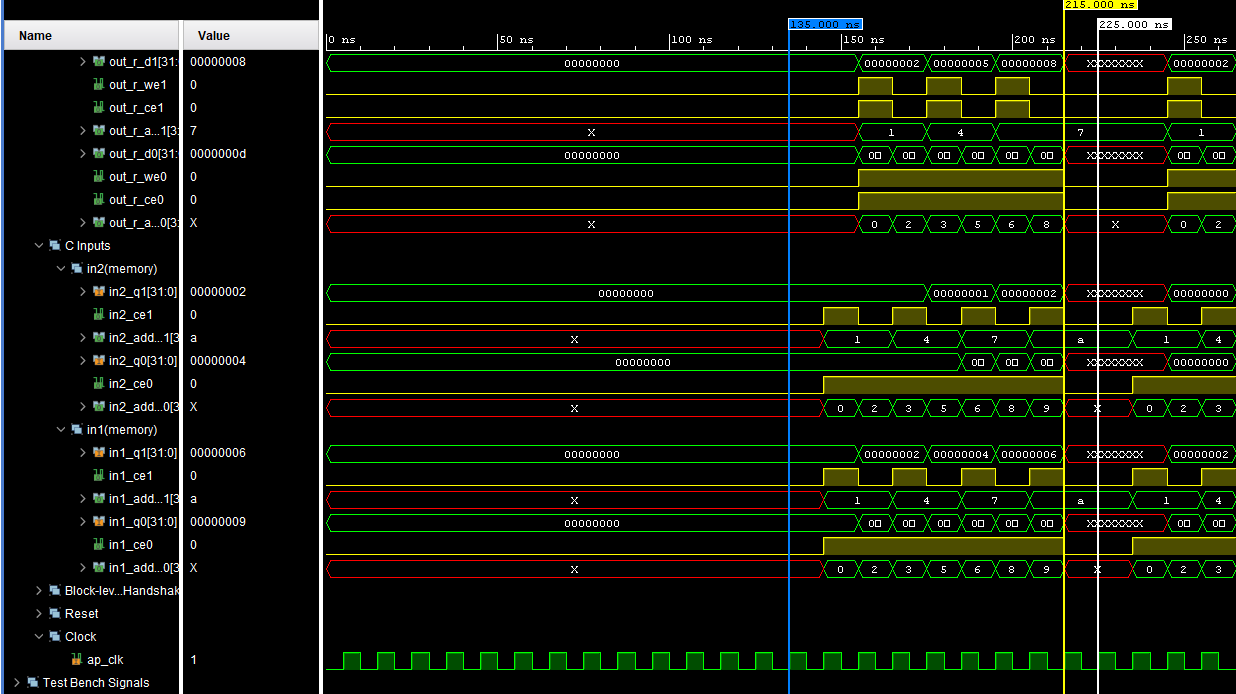


Рис. 5.6. Результат моделирования

На графике выше, latency определяется расстоянием между синим и жёлтым маркером, а II определяется расстоянием между синим и белым маркером.

* 1. Директивы

Ниже показаны применённые директивы.

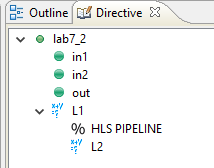


Рис. 5.7. Директивы

Как видно по рисунку, применена директива конвейеризации внешнего цикла.

1. Четвёртое решение
   1. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

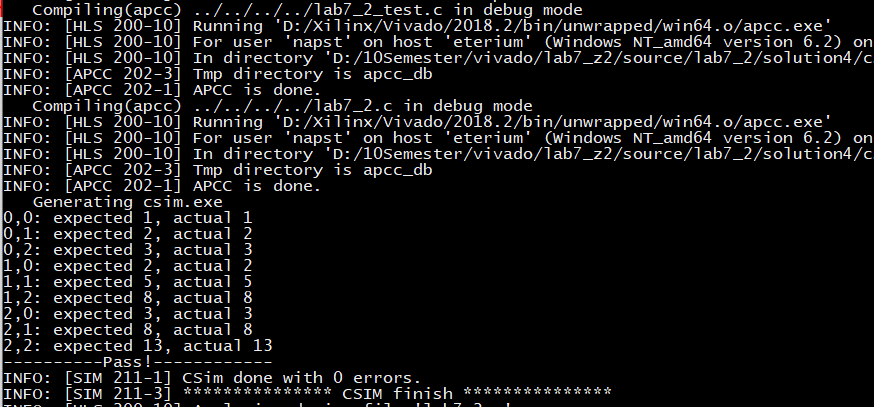


Рис 6.1. Результаты моделирования

* 1. Синтез

Ниже приведены оценки производительности. По ним видно, что оценочное время выполнения одного такта 7нс, а latency составляет 5 тактов.

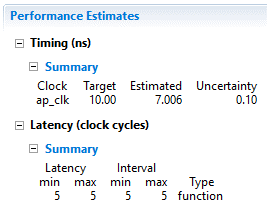


Рис. 6.2. Оценка производительности

Оценка использования ресурсов показывает, что будут использованы 355 LUT и 7 триггеров.

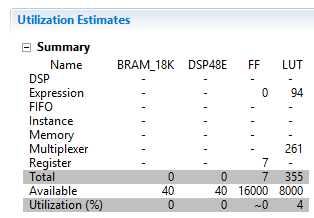


Рис. 6.3. Оценка использования ресурсов

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

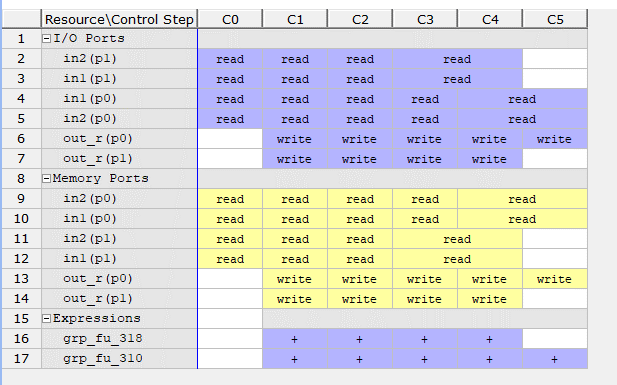


Рис. 6.4. Использование ресурсов

Ниже приведён результат работы планировщика вычислений.

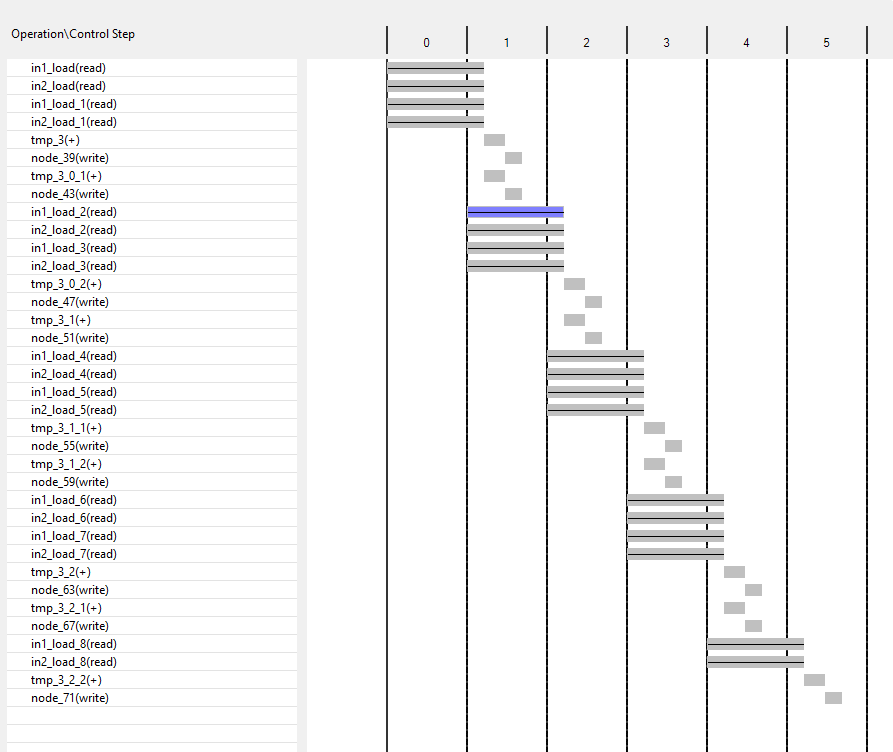


Рис. 6.5. Планировщик вычислений

* 1. C|RTL моделирование

Результат C|RTL моделирования приведён ниже. По нему видно, что latency составляет 5 тактов, а II – 6 тактов.

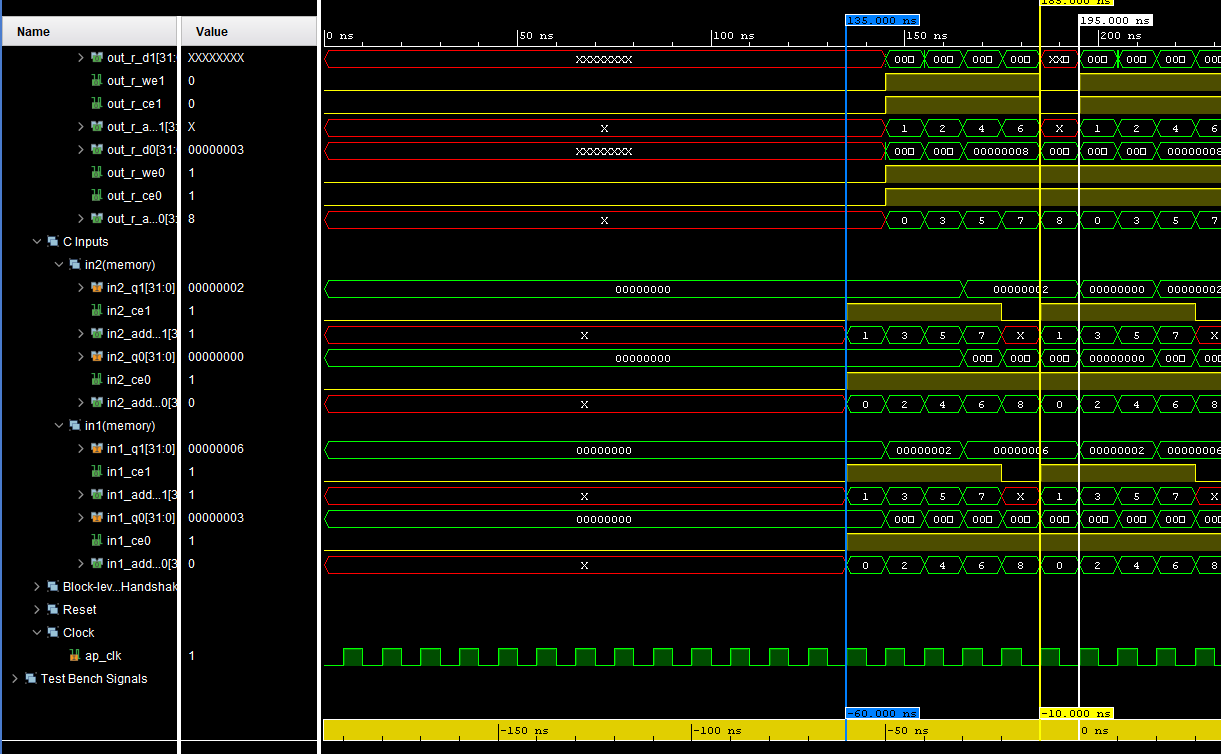


Рис. 6.6. Результат моделирования

На графике выше, latency определяется расстоянием между синим и жёлтым маркером, а II определяется расстоянием между синим и белым маркером.

* 1. Директивы

Ниже показаны применённые директивы.

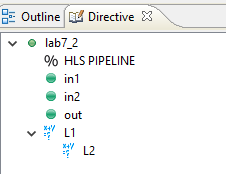


Рис. 6.7. Директивы

Как видно по рисунку, применена директива конвейеризации всего блока.

1. Выводы

Как видно по сравнению, приведённому ниже, чем выше в иерархии находится директива PIPELINE, тем выше уровень параллелизма, выше пропускная способность и выше количество требуемых аппаратных ресурсов для реализации проекта.

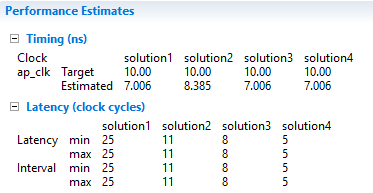


Рис. 7.1. Сравнение производительности

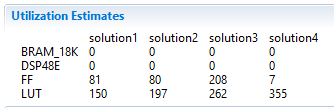


Рис. 7.2. Сравнение ресурсов

Также стоит отметить, что в двух последних решениях, отличается способ работы с элементами массива. Так как чтение и запись очередного элемента занимают больше одного такта (1 такт на установку адреса, данные приходят в начале следующего такта), для взаимодействия с массивом используются сразу 2 набора портов. Это позволяет запросить следующий элемент, в том же такте, в котором приходит значение текущего элемента.